

Intégrité du signal

Objectifs :

À l'issue de cette formation, le stagiaire sera capable de prendre en compte les difficultés de conception liées à la montée du débit des transmissions (pertes, diaphonie, conversion de mode, non linéarité, etc.). Il pourra appréhender les limites en dynamique et en fréquence des signaux et leur propagation et ainsi utiliser des outils d'aide à la conception pour l'implantation et le routage des cartes comme pour les transmissions filaires.

Le but de cette formation est de :

- Identifier les causes et les effets des bruits superposés aux signaux
- Maîtriser les bruits d'alimentation et leur découplage (Ground bounce et power integrity)
- Pouvoir simuler les effets de ligne et modéliser l'intégrité des signaux (SI)
- Identifier les principaux pièges à la conception d'une carte électronique, dont le choix des composants et leur mise en œuvre
- Pouvoir analyser les effets des filtres - linéaires ou non - et pouvoir calculer un circuit de protection contre les surtensions

À savoir

Public

- Ingénieurs et techniciens de bureau d'étude de conception
- Ingénieur et techniciens de mise au point de circuits rapides ou à grande dynamique
- Concepteurs et intégrateurs de systèmes électroniques performants

Pré-requis

- Niveau de base en physique de tout technicien supérieur
- Niveau de base en mathématique de tout technicien supérieur
- Une expérience préalable en conception électronique est souhaitable

Méthodes pédagogiques

- Vérification des pré-requis
- Action de formation :
 - Support de cours
 - Exercices pratiques
 - Démonstrations pratiques si possible
- Evaluation des acquis :
 - QCM en fin de session

Modalités pédagogiques

- Formation d'adaptation et de développement des compétences dispensée en présentiel
- Programme adaptable en durée et contenu en intra entreprise
- Attestation de fin de formation

Intervenant

- Formateur et consultant terrain de plus de 10 ans d'expérience

Informations pratiques

- Durée : 5 jours soit 35 h
- Paris du 11 au 15 juin 2018
- Paris du 03 au 07 décembre 2018

Tarif

- 2 150 € HT

Programme

1 - Rapport signal à bruit

- Rappels et définitions
- FFT et FFT inverse
- Bruits thermique et de quantification
- Valeurs crête, moyenne et médiane
- Densité de probabilité en amplitude (APD)
- Bruit en excès et 1/F - Choix de la techno
- Dynamique sans parasite (SFDR)
- SINAD et nombre de bits effectifs (ENOB)
- Relations entre THD, SNR et SINAD
- Non linéarité intégrale et différentielle (INL, DNL)
- Taux d'erreurs binaires (BER, BEP)

2 - Marge de bruit

- Confusions des notions de terre, masse et 0 V
- Marges statique et dynamique de bruit
- « Ground bounce » : cause, mesure et effets
- Pente des fronts, commutations simultanées
- Jitter, inductance de boîtier, débit maximal
- Choix des couches et « stacking »
- Détection d'enveloppe : Exemple

3 - Bruit d'alimentation (PI)

- Bruit des convertisseurs d'alimentation
- Impédance d'un bus d'alimentation
- Retour du courant Changement de couche
- Modélisation d'une alimentation par plans
- Spectre du courant consommé
- Effet de cavité entre plans, distance entre vias
- Bruit d'alimentation et « Jitter » induit
- Impédance d'alimentation et effets de via
- Problèmes des fentes / résonances de structures
- « Power integrity », PSRR et découplage

4 - Effets de ligne

- Electromagnétisme, perméabilité et permittivité
- Propagation conduite et rayonnée
- Circulation des courants, vitesse de propagation
- Impédance caractéristique / paramètres de ligne
- Champs proches et lointains propagation
- Mesures des temps de transition et de retard
- Simulation de l'effet de peau Rugosité
- Inductance de plans finis et imparfaits
- Les deux types de résonance Mesures 50 Ω
- Effets des pertes d'une ligne Simulation
- Pertes diélectriques et choix du diélectrique
- « HDI », intégration haute densité et microvias
- Préaccentuation, peaking, égalisation active
- « TDR » Réflectométrie : Mesures et simulation
- « Overshoot », « Ringing », formes d'ondes
- Effets et risques des serpentins
- Pad de condensateurs, via et effet de stub
- Risque de double basculement Adaptation
- Paramètres S : mesures et simulation
- Incrustation Désincrustation
- Calibrage OSM / OSTM Abaque de Smith
- Connecteurs pour signaux HF Simulation
- Routage des horloges rapides
- Simulation d'impédance répartie

5 - Composants actifs

- Doubles sources / fiches techniques
- Distorsion de croisement et effets
- Références et régulateurs de tension
- Filtrage en sortie d'amplificateur
- Analyse et validation de schéma
- Bus parallèles ou liaisons série
- « SerDes » (Sérialiseur/désérialiseur)
- QFP, BGA, « wire bond », « flip chip »
- RLC et SIP Drivers LVDS
- Interconnexions à haute densité (HDI)
- Métastabilité Double synchronisation
- Diagramme de l'œil et histogramme
- Notion de masque - Taux d'erreur
- Modulations amplitude et phase
- Modulation OFDM Constellation
- Mesures de la gigue (« Jitter ») - Effets
- Bruit de phase - Effet sur ADC / DAC
- Horloges à étalement de spectre (SSC)

6 - Diaphonies et champs proches

- Diaphonies capacitive et inductive
- Paradiaphonie / télédiaphonie modélisation
- « Glitch » par diaphonie : Pull-in et Push-out
- Diaphonie entre lignes - effets de la charge
- « NEXT », « FEXT » et « Alien »
- Rapport diaphonie / atténuation (ACR)
- Connecteurs et sonde de champ proche

7 - Liaisons différentielles

- Composants magnétiques et symétrisation
- Perte de conversion longitudinale (LCL, TCL)
- BER et réjection du mode commun (CMRR)
- Dissymétries de liaison : implantation routage
- Effet du biais (Skew) et autres dissymétries
- Z pair, Z impair (Zodd et Zeven)
- Microstrip ou stripline Émission rayonnée

8 - Composants de protection

- Phénomène de « latch-up »
- Valeurs maxi absolues et risques
- Protections en entrée d'alimentation
- Diodes d'écrêtage (« clamping »)
- Tenue des résisteurs aux surcharges
- Simulation en F et t de filtres passebas
- Problèmes et choix d'un condensateur
- Limiteurs de surtension Choix de Transzorb
- Filtrage linéaires ou non linéaires - Exemples
- Zt de câble blindé et effet réducteur
- Choix de câble et de connecteur blindé

9 - Modélisation en IS

- Pourquoi simuler l'IS ? Modèle de composant
- Solveurs PEEC ou SPICE Paramètres S
- Modèle IBIS (norme 620141)
- Modèle ICEMC (série 62433x) / LECCS-I/O
- Modélisation en immunité : ICIM (62132x)
- Solveurs de champs et validation du résultat